

Reti Logiche (A.A. 2007/2008)
 Corso di Ingegneria Elettronica/Gestionale
 Facoltà di Ingegneria – Univ. Udine
 - Nicola Bombieri -

Programma dettagliato
 (orario I quadrimestre)

Set.	Data	Giorno	Orario	Aula	Lezione	Esercizi	Lab.	Argomento
1	01-ott	lun.	08:30-10:30	A	2			introduzione, funzioni booleane
1	01-ott	lun.	16:30-18:30	A	2			codifica informazione, rappr. numeri binari
1	02-ott	mar.	08:30-10:30	A	2			codifica numeri razionali e in virgola fissa
2	08-ott	lun.	08:30-10:30	A	2			numeri in virgola mobile
2	08-ott	lun.	16:30-18:30	A		2		esercizi codifica e aritmetica
2	09-ott	mar.	08:30-10:30	A	2			forme canoniche e realizz. porte logiche
3	15-ott	lun.	09:30-11:30	CAD			2	introduzione SIS
3	15-ott	lun.	16:30-18:30	A	2			minimizzazione due livelli (Karnaugh)
3	16-ott	mar.	08:30-10:30	A	2			funzioni parzialmente specificate
4	22-ott	lun.	09:30-11:30	CAD			2	sintesi combinatoria esatta
4	22-ott	lun.	16:30-18:30	A	2			minim. due livelli (Quine Mc-Cluskey)
4	23-ott	mar.	08:30-10:30	A	2			sintesi combinatoria multilivello
5	29-ott	lun.	08:30-10:30					NO
5	29-ott	lun.	16:30-18:30					NO
5	30-ott	mar.	08:30-10:30					NO
6	05-nov	lun.	09:30-11:30	CAD			2	sintesi combinatoria approssimata
6	05-nov	lun.	16:30-18:30	A	2			mapping tecnologico, circuiti sequenziali
6	06-nov	mar.	08:30-10:30	A	2			modellazione con FSM
7	12-nov	lun.	09:30-11:30	CAD			2	modellazione minimizzazione FSM
7	12-nov	lun.	16:30-18:30	A	2			sintesi funzioni lambda e delta
7	13-nov	mar.	08:30-10:30	A	2			minimizzazione stati
8	19-nov	lun.	08:30-10:30	A	2			assegnamento stati, intro data-path
8	19-nov	lun.	16:30-18:30	A	2			modello FSMD
8	20-nov	mar.	08:30-10:30					NO
9	26-nov	lun.	09:30-11:30	CAD			2	modellazione FSMD
9	26-nov	lun.	16:30-18:30	A	2			derivazione FSMD da algoritmo
9	27-nov	mar.	08:30-10:30	A		2		Esercizi, presentazione elaborato
				ORE	32	4	10	46